

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-076890**

(43)Date of publication of application : **11.03.1992**

(51)Int.Cl. **G11C 11/413**

**G11C 11/41**

(21)Application number : **02-191730**

(71)Applicant : **NEC CORP**

(22)Date of filing : **19.07.1990**

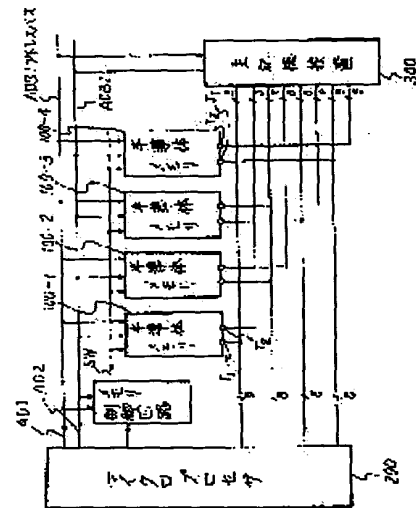
(72)Inventor : **UCHIDA KATSUNORI**

### (54) SEMICONDUCTOR MEMORY

(57)Abstract:

**PURPOSE:** To increase an operating speed by providing each function which operates successively the input/output of a data to plural memory cell arrays(Ma) by using one of data input/output terminals, and which operates in parallel the input/output of the data to the plural Ma by using the plural data input/output terminals.

**CONSTITUTION:** The reception of the data between a microprocessor 200 and four semiconductor memories 100-1 - 100-4 is operated by using a first data input/output terminal T1 of the semiconductor memories 100-1 - 100-4. The reception of the data between a main storage 300 and the semiconductor memories 100-1 - 100-4 is operated by using both the first data input/output terminal T1 and a second data input/output terminal T2. Thus, even when the width of a data bus at the side of the micro-processor 200 is different from the width of a system data bus at the side of the main storage 300, a latch selector circuit or the like is not necessary, so that a burst lead or a high speed operation can be attained, and the high speed semiconductor memory can be not necessary.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# SHUSAKU YAMAMOTO

Our Client Ref: 03R00238/US/JVE

Our Ref: F5-03535226

(Translation)

Japanese Laid-open Publication No. 4-76890

Publication date: March 11, 1992

p. 5, upper left column, line 3 from the bottom to lower left column, line 6

Figure 1 is a circuit diagram showing a first example of the present invention.

This example comprises a plurality of memory cell array portions  $1_A$  to  $1_D$  for which data write and read operations are performed in accordance with respective addresses specified by an address signal AD1, first and second data I/O terminals  $T_1$  and  $T_2$  via which data is input from or output to an external circuit, I/O buffer circuits  $3_A$  and  $3_B$ , a control signal generation circuit 21, decoders  $22_A$  and  $22_B$ , logic gates G1 and G2, and transfer gates TG1 to TG8. This example has an I/O switch control circuit 2 having the following structure. When a first I/O switch signal SW is at a first level, data read from the memory array portions  $1_A$  to  $1_D$  is transferred via the I/O buffer circuit  $3_A$  to the first data I/O terminal  $T_1$  in accordance with a second I/O switch signal AD2, and external data from the first data I/O terminal  $T_2$  is transferred via the I/O buffer circuit  $3_A$  to the memory array portions  $1_A$  to  $1_D$ . When the first I/O switch signal SW is at a second level, data read from the memory array portions  $1_A$  to  $1_D$  is transferred in parallel via the I/O buffer circuits  $3_A$  and  $3_B$  to the first and second data I/O terminals  $T_1$  and  $T_2$  in sequence in accordance with the second I/O switch signal AD2, and external data from the first and second data I/O terminals  $T_1$  and  $T_2$  is transferred in parallel via the I/O

**SHUSAKU YAMAMOTO**

Our Client Ref: 03R00238/US/JVE

Our Ref: F5-03535226

buffer circuits 3<sub>A</sub> and 3<sub>B</sub> to the memory array portions 1<sub>A</sub> to 1<sub>D</sub> in sequence.

④ 日本国特許庁 (JP)      ⑤ 特許出願公開  
⑥ 公開特許公報 (A)      平4-76890

Int. Cl.<sup>1</sup>      識別記号      庁内整理番号      公開      平成4年(1992)3月11日  
G 11 C 11/413  
11/41  
7523-SL      G 11 C 11/34      3 0 1      J  
7523-SL      審査請求      未請求      請求項の数 2 (全7頁)

⑦ 発明の名称      半導体メモリ  
⑧ 特      願      平2-181730  
⑨ 出      願      平2(1990)7月19日  
⑩ 発      明      者      内      田      克      典      東京都港区芝5丁目7番1号      日本電気株式会社内  
⑪ 出      願      人      日      本      電      気      株      式      有      限      公      司      東京都港区芝5丁目7番1号  
⑫ 代      理      人      井      理      士      内      原      晋

【特許請求の範囲】

(2)

1

2

1、それぞれアドレス信号により指定されたアドレスに対しデータの読み込み、読出しを行う複数のメモリセルアレイ部と、外部回路とのデータの出入力を行う第1及び第2のデータ出入力端子と、第1の出入力切換信号が第1のレベルのとき、第2の出入力切換信号に従って前記各メモリセルアレイ部の読出しデータを前記第1のデータ出入力端子へ伝達しこの第1のデータ出入力端子の外部からのデータを前記各メモリセルアレイ部へ供給し、前記第1の出入力切換信号が第2のレベルのとき、前記第2の出入力切換信号に従って前記複数のメモリセルアレイ部の読出しデータを並列に前記第1及び第2のデータ出入力端子へ伝達しこれら第1及び第2のデータ出入力端子の外部からのデータを並列に前記複数のメモリセルアレイ部へ供給する出入力切換制御回路とを有することを特徴とする半導体メモリ。

2、外部回路とのデータの出入力を行う第1、第2、及び第3のデータ出入力端子を設け、出入力切換制御回路により、第1の出入力切換信号が第2のレベルのとき、第2の出入力切換信号に従って複数のメモリセルアレイ部の読出しデータを並列に前記第2及び第3のデータ出入力端子へ伝達しこれら第2及び第3のデータ出入力端子の外部からのデータを並列に前記複数のメモリセルアレイ部へ供給するようにした請求項1記載の半導体メモリ。

(57) 【要約】

【目的】 データ出入力端子の1つを用い複数のメモリセルアレイ部 (Me) に対するデータの出入力を順次行い、複数のデータ出入力端子を用い複数の Me に対し並列にデータの出入力を行う各機能を設けて、高速化を図る。

【構成】 マイクロプロセッサ200と4個の半導体メモリ100-1～100-4との間のデータの授受は半導体メモリ100-1～100-4の第1のデータ出入力端子T<sub>1</sub>1を使用して行い、主記憶装置300と半導体メモリ100-1～100-4との間のデータの授受は半導体メモリ100-1～100-4の第1及び第2のデータ出入力端子T<sub>1</sub>1、T<sub>1</sub>2を使用して行う。これによりマイクロプロセッサ200側のデータバス幅と主記憶装置300側のシステムデータバス幅とが異なる場合でも、ラッチ・セリクタ回路等が不要となり、また、高速な半導体メモリが不要となる。

【半導体 記憶 データ 出入力 端子 1つ 複数 記憶 セル アレイ部 データ 出入力 順次 並列 機能 高速化 マイクロプロセッサ 4個 授受 使用 主記憶 装置 データ バス 幅 システム データ バス 幅 場合 ラッチ 選択器 回路 不要 バストリート 高速 動作 高速】

(3)

③ 日本国特許庁(JP) ④ 特許出願公開

⑤ 公開特許公報(A) 平4-76890

⑥ 発明の名称 半導体メモリ

⑦ 特 願 平2-191730

⑧ 出 願 平2(1990)7月19日

⑨ 発 明 者 内 田 克 典 東京都区芝5丁目7番1号 日本電気株式会社内

⑩ 出 願 人 日本電気株式会社 東京都区芝5丁目7番1号

⑪ 代 理 人 弁護士 内 原 晋

⑫ 発 明 の 名 称 半導体メモリ

⑬ 特 願 平2-191730

⑭ 出 願 平2(1990)7月19日

⑮ 発 明 者 内 田 克 典 東京都区芝5丁目7番1号 日本電気株式会社内

⑯ 出 願 人 日本電気株式会社 東京都区芝5丁目7番1号

⑰ 代 理 人 弁護士 内 原 晋

⑱ 発 明 の 名 称 半導体メモリ

⑲ 特 願 平2-191730

⑳ 出 願 平2(1990)7月19日

㉑ 発 明 者 内 田 克 典 東京都区芝5丁目7番1号 日本電気株式会社内

㉒ 出 願 人 日本電気株式会社 東京都区芝5丁目7番1号

㉓ 代 理 人 弁護士 内 原 晋

① 発 明 の 名 称 半導体メモリ

② 特 願 平2-191730

③ 出 願 平2(1990)7月19日

④ 発 明 者 内 田 克 典 東京都区芝5丁目7番1号 日本電気株式会社内

⑤ 出 願 人 日本電気株式会社 東京都区芝5丁目7番1号

⑥ 代 理 人 弁護士 内 原 晋

## 特許請求の範囲

発明の名称 半導体メモリ

特許請求の範囲

1. それぞれアドレス信号により指定されたアドレスに付しデータの書き込み、読出しを行う複数のメモリセルアレイ部と、外部回路とのデータの出入力を行う第1及び第2のデータ出入力端子と、第1の出入力切換信号が第1のレベルのとき、第2の出入力切換信号が第2のレベルのとき、第2の出入力切換信号に付して前記メモリセルアレイ部の読出しデータを前記第1のデータ出入力端子へ伝達しこの第1のデータ出入力端子の外部からのデータを前記メモリセルアレイ部へ供給し、前記第1の出入力切換信号が第2のレベルのとき、前記第2の出入力切換信号に付して前記第2のメモリセルアレイ部の読出しデータを前記第2のデータ出入力端子へ伝達しこの第2のデータ出入力端子の外部からのデータを前記第2のメモリセルアレイ部へ供給するようとした第1記憶の半導体メモリ。

発明の詳細な説明

(産業上の利用分野)  
本発明は半導体メモリに関し、特にマイクロプロセッサのデータバスと主記憶装置等のバスシステムとのデータバスとが異なるようなマイクロシステムにも適用可能なデータバスとして使用される半導体メモリに関する。

(4)

特開平4-76890(2)

従来の技術  
従来の半導体メモリは、データバスが固定となっていた。従って、マイクロプロセッサのデータバスと主記憶装置等のバスシステムとのデータバスとが異なるマイクロプロセッサシステムにおいて、この半導体メモリをマイクロシステムあるいはローカルメモリとして使用する場合は、システムバスとマイクロプロセッサのデータバスとの間に、ラッチ回路やセクタゲートが必要であった。

第6図は従来の8ビット間の半導体メモリを4個使い、システムバス幅が64ビット、マイクロプロセッサのデータ幅が32ビットのマイクロプロセッサシステムを構成したものの回路図である。このマイクロプロセッサシステムにおいては、マイクロプロセッサ200及び半導体メモリ100A-1〜100A-4と主記憶装置300との間にラッチ・セクタ回路400-1〜400-4が必要となる。これは、主記憶装置300幅の64ビットのシステムバスDB1〜SDB8に同時

に64ビットのデータが伝送されてくるため、32ビットの半導体メモリ100A-1〜100A-4あるいはマイクロプロセッサ200へデータを伝送する場合は、一時的に64ビットのデータを保持し2回に分けてデータを伝送しなければならない。

また第7図は、システムバス幅が64ビットにして8ビットの半導体メモリをローカルメモリとして8個使用したマイクロプロセッサシステムを構成したものの回路図である。この場合は、システムバスDB1〜SDB8に伝送されてきた64ビットデータは1度半導体メモリ100A-1〜100A-8に伝送されるが、半導体メモリ100A-1〜100A-8からマイクロプロセッサ200への伝送にはセクタラッチ・セクタ回路400-1〜400-4を介するため、高価なマイクロプロセッサの半導体メモリが必要となる。

(発明が解決しようとする課題)  
本発明の半導体メモリは、それぞれアドレス信号により指定されたアドレスに付しデータの書き込み、読出しを行う複数のメモリセルアレイ部と、外部回路とのデータの出入力を行う第1及び第2のデータ出入力端子と、第1の出入力切換信号が第1のレベルのとき、第2の出入力切換信号に付して前記メモリセルアレイ部の読出しデータを前記第1のデータ出入力端子へ伝達しこの第1のデータ出入力端子の外部からのデータを前記第1のメモリセルアレイ部へ供給し、前記第2の出入力切換信号が第2のレベルのとき、前記第2の出入力切換信号に付して前記第2のメモリセルアレイ部の読出しデータを前記第2のデータ出入力端子へ伝達しこの第2のデータ出入力端子の外部からのデータを前記第2のメモリセルアレイ部へ供給するようとした第1記憶の半導体メモリ。

本発明の半導体メモリは、それぞれアドレス信号により指定されたアドレスに付しデータの書き込み、読出しを行う複数のメモリセルアレイ部と、外部回路とのデータの出入力を行う第1及び第2のデータ出入力端子と、第1の出入力切換信号が第1のレベルのとき、第2の出入力切換信号に付して前記メモリセルアレイ部の読出しデータを前記第1のデータ出入力端子へ伝達しこの第1のデータ出入力端子の外部からのデータを前記第1のメモリセルアレイ部へ供給し、前記第2の出入力切換信号が第2のレベルのとき、前記第2の出入力切換信号に付して前記第2のメモリセルアレイ部の読出しデータを前記第2のデータ出入力端子へ伝達しこの第2のデータ出入力端子の外部からのデータを前記第2のメモリセルアレイ部へ供給するようとした第1記憶の半導体メモリ。

(5)

特開平1-76830(3)

ク入出力端子へ伝達しこれら第1及び第2のデータ入出力端子の外部からのデータを並列に前記複数のメモリセルアレイ部へ供給する入出力切替制御回路とを有している。

1. 第2、及び第3のデータ入出力端子を設け、  
入出力切替制御回路により、第1の入出力切替信号が第2のレベルのとき、第2の入出力切替信号を受けて電流のメモリセルアレイ部の読出しデータに就てこれら第2及び第3のデータ入出力端子へ外部からのデータを並列に書き込むメモリセルアレイ部へ供給するようにした構成を有している。

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示す四角図であらう。

この実験例は、それぞれアトレス番号ADJに

子<sup>1</sup>、<sup>2</sup>、<sup>3</sup>へ伝達し、またこれら第<sup>1</sup>及び第<sup>2</sup>のチーグ入出力端子<sup>1</sup>、<sup>2</sup>の外周からのチーグを入出力チーグ回路<sup>3</sup>、<sup>3</sup>を介して入力<sup>1</sup>し且つに周波数増幅のメセリアルブレイト<sup>1</sup>へ<sup>1</sup>へ供給する入出力切替制御回路<sup>2</sup>とを有する。構造となっている。」

次に、この実施例の動作について説明する。  
第2図及び第3図はこの実施例の動作を説明するための各通信号のタイミング図である。

SWが信号1のレベルの高いレベルVの場合、制御信号S<sub>1</sub>は低レベルVとなり、トランスファデータT<sub>1</sub>は、TG08はオアとなつてデータ入出力ポートT<sub>1</sub>はハイインピーダンス状態となる。また、制御信号Q1, Q2は制御信号S<sub>1</sub>、S<sub>2</sub>と直列をなしてトランスファデータT<sub>05</sub>、T<sub>07</sub>を制御する。

制御信号S<sub>4</sub>～S<sub>7</sub>は入出力切替信号AND2に  
従って第2図に示すように変換し、これらがトラ  
ジスワプゲートTC1～TC5、TO7へ供給さ

「より指定されたアドレスに対しデータの書き込み。」

提出しを行う遊具のメモリをアルティメット1及び第2のゲーム入力出力端子T1、T2及び入力バンプ回路部3、3と、制御部を発生する遊具データ1、2、2と、遊具データG1、G2及びランダムデータG1、G2と、第1の出力切替部SWを有するメモリと、第2の出力切替部SWを有するメモリとの2ポートに接続するメモリアルティ1、1の提出しポートを入力出力端子T1、T2を介して第1のゲーム入力出力端子T1へ接続し、またこの第1のゲーム入力出力端子T1の外部からのゲームを入力出力バンプ回路部3を介して入力するメモリアルティ1、1を介して、第1の出力切替部SWを有するメモリアルティ1、1と、第2の出力切替部SWを有するメモリアルティ1、1とを介して遊具のメモリアルティ1、1を提出しポートを基幹に入出力バンプ回路部3を介して遊具第1及び第2のゲーム入力出力

れ、オモリセルアレイ1個より1.0から取出されたデータ(DT<sub>0</sub>、～DT<sub>1</sub>)はこれらトランスマフターTG1～TG5、TG7及び入出力バンプア回路3.6を介して順次データ入出力端子T<sub>1</sub>へ伝達され外部へ出力される。

次に、第3図に示すように、入出力切替信号Sが低レベルの場合、制御信号S<sub>1</sub>は高レベルV<sub>1</sub>となり、使つた、トランジスタートT<sub>6</sub>、T<sub>7</sub>はオフとなり、放電プーパQ<sub>1</sub>、Q<sub>2</sub>の出力の制御信号S<sub>1</sub>、S<sub>2</sub>は高レベルV<sub>1</sub>となる。トランジスタートT<sub>6</sub>、T<sub>7</sub>はオフとなる。

標語番号 S<sub>4</sub>、S<sub>5</sub> は トランスアブダクション  
1-TOGA へ 供給され、これら トランスアブダク  
ション 1-TOGA により、チーク入出力端子  
T<sub>1</sub>、T<sub>2</sub> の外部からの チーズ D T<sub>1</sub>、D T<sub>2</sub> が  
是所に、モジュール化された部 1、1 に、  
次にモジュール化された部 1、1 に 供給され  
る。

第2図においてはピークを出力する場合、第3

図においてはアーチを入力する場合の例が示されているが、入力、出力の関係が逆になってもアーチの渡れが直になるだけである。

第4図はこの実験例による半導体メモリ100を4個使用しマイクロプロセッサシステムを構築したときの回路図である。

マクロプロセッサ200と4番の平準体メモリ100-1〜100-4との間のデータの授受は平準体メモリ100-1〜100-4の第1のデータ入出力端子T<sub>1</sub>を使用して行い、主記憶装置300と平準体メモリ100-1〜100-4との間のデータの授受は平準体メモリ100-1〜100-4の第1及び第2のデータ入出力端子T<sub>1</sub>、T<sub>2</sub>を使用して行う。

このように複製をすることにより、マクロロ  
ロキヤマ200個のチーグバス種と主産種複製  
300個のレスナムチーグバス種とが異なる場合  
でも、チヤチーセリグバ回廊等が不要となるので、  
バーエムローキヤ複製設備が不要となり、また、  
複製な年産体メモリが不要となる。

第5図は先程の第2の実例を示す再帰関数である。

この実例では、外部同時とデーチの入出力を行うデーチ入出力端子を3つ(T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>)だけ、入出力切替回路を図2により、第1の入出力切替端子Sで第1レベルとは第1の実例と同様に、第1のデーチ入出力端子T<sub>1</sub>を使用してデーチの入出力を行い、第1の入出力切替端子Sが第2レベルとは第2及び第3のデーチ入出力端子T<sub>2</sub>, T<sub>3</sub>を使用してデーチの入出力を行うとしたものである。

この実例においては、4入力ロギック300とのデーチの受発はこの実例のデータバスからの第1のデーチ入出力端子T<sub>1</sub>を使用し、主記憶装置300とのデーチの受発は第2及び第3のデーチ入出力端子T<sub>2</sub>, T<sub>3</sub>を使用することによる。4入力ロギック300側のデーチバスと、主記憶装置300側のバスシステムとの間でデータの流を決定することができると考えられる。(見出しの抜略)

以上説明したように本発明は、複数のメモリセルとアドレス線と複数のデータ入出力端子とを設け、入出力制御信号によって、これらデータ入出力端子のいくつかを使って複数のメモリアドレスに対するデータの出入力を順次行う構成と、複数のデータ入出力端子のうちの特定のデータ入出力端子にのみデータを供給する構成とを有する。

図1及び図2は本発明の実施例を示す回路図である。図1及び図2はそれぞれ従来の半導体メモリを使用してデータロクロセシステムを構成したものの例を示す回路図である。

図1は、データロクロセシステムを構成したときの回路図であり、図2は、メモリセルの出力を直接データロクロセシステムに接続したときの回路図である。

[illegible]

### 図面の簡単な説明

第1図は本発明の第1の実施例を示す回路図、第2図及び第3図は第1図に示された実施例の動作を説明するための各信号のタイミング図、第4図は第1図に示す実施例を使用するマイクロ

76890(4)

३४.

この関係図は、外部回路とこのチップの入出力を  
示す。チップの入出力端子を3つ（ $T_1$ 、 $T_2$ 、 $T_3$ ）設け  
る。チップの入出力端子間の直列抵抗は、 $R_1$ 、 $R_2$ 、 $R_3$ とす。  
チップの入出力端子を3つ（ $T_1$ 、 $T_2$ 、 $T_3$ ）設け、  
チップの入出力端子間の直列抵抗は、 $R_1$ 、 $R_2$ 、 $R_3$ とす。  
チップの入出力端子を3つ（ $T_1$ 、 $T_2$ 、 $T_3$ ）設け、  
チップの入出力端子間の直列抵抗は、 $R_1$ 、 $R_2$ 、 $R_3$ とす。

この実験図に於いては、ワタロウサマ20とのチーの収量は、ワタロウサマ20のチーのチー入出力値T<sub>1</sub>と使用し、生肥量の第1のチー入出力値T<sub>2</sub>と使用し、生肥量第300とのチーの入量は第2のチーのチー入出力値T<sub>3</sub>と、T<sub>2</sub>を使用することにより、ワタロウサマ200個のチーがチーAととなり、ワタロウサマ300個のチーAの下でのバスの量を決定することができると推定される。

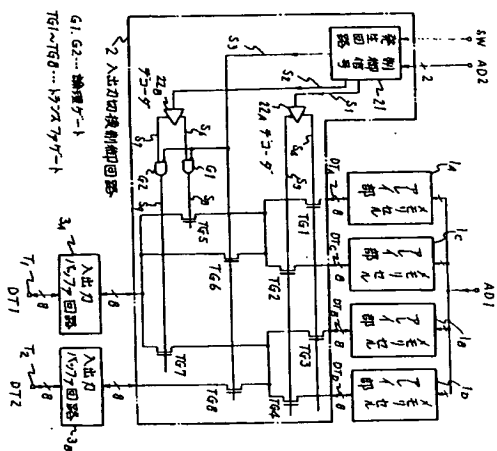
(表明の強調)

( 兎兎の兎兎 )

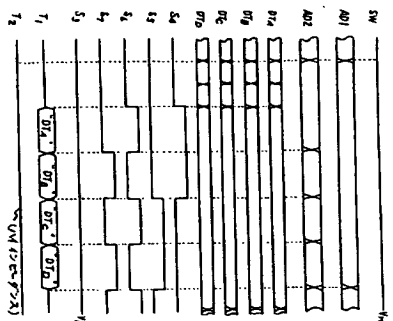
代理人 舟橋士 氏 原 啓

(7)

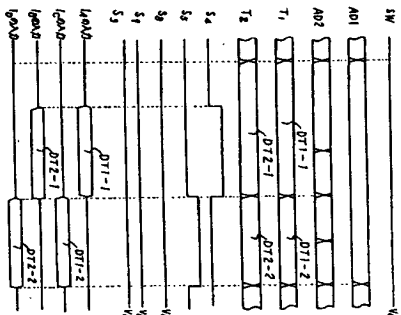
特開平4-76890(5)



第1図



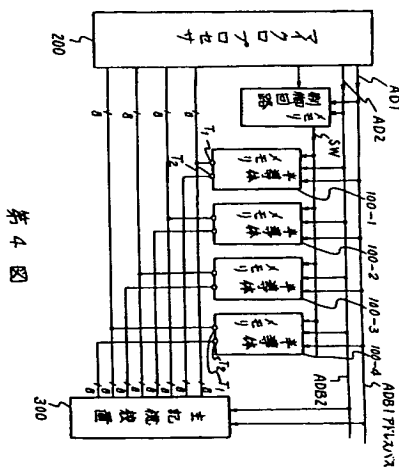
第2図



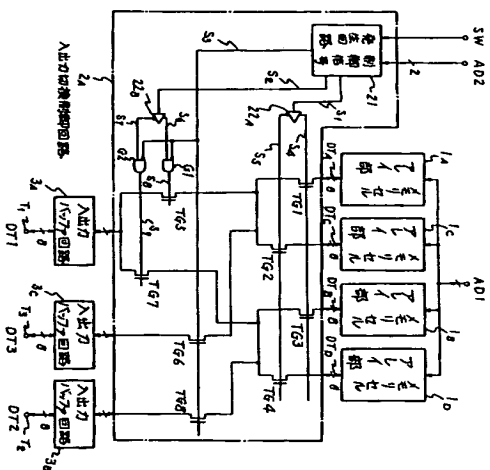
第3図

(8)

特開平4-76890(6)



第4図



第5図

Figure 6 is a detailed architectural floor plan of a building, likely a school or institutional structure. The plan is oriented with a north arrow pointing towards the top right. Key features include a large entrance area at the top, several classrooms or lecture halls, and a central corridor system. The plan is labeled with various numbers and letters, and includes a title "第 6 図" (Figure 6) in the center.

The plan shows a complex layout with multiple rooms and corridors. The entrance is located at the top center, leading into a large hall. To the left of the entrance is a large room labeled "A100-1". To the right is a large room labeled "A100-2". The plan also shows several smaller rooms, including "A100-3", "A100-4", "A100-5", "A100-6", "A100-7", "A100-8", "A100-9", "A100-10", "A100-11", "A100-12", "A100-13", "A100-14", "A100-15", "A100-16", "A100-17", "A100-18", "A100-19", "A100-20", "A100-21", "A100-22", "A100-23", "A100-24", "A100-25", "A100-26", "A100-27", "A100-28", "A100-29", "A100-30", "A100-31", "A100-32", "A100-33", "A100-34", "A100-35", "A100-36", "A100-37", "A100-38", "A100-39", "A100-40", "A100-41", "A100-42", "A100-43", "A100-44", "A100-45", "A100-46", "A100-47", "A100-48", "A100-49", "A100-50", "A100-51", "A100-52", "A100-53", "A100-54", "A100-55", "A100-56", "A100-57", "A100-58", "A100-59", "A100-60", "A100-61", "A100-62", "A100-63", "A100-64", "A100-65", "A100-66", "A100-67", "A100-68", "A100-69", "A100-70", "A100-71", "A100-72", "A100-73", "A100-74", "A100-75", "A100-76", "A100-77", "A100-78", "A100-79", "A100-80", "A100-81", "A100-82", "A100-83", "A100-84", "A100-85", "A100-86", "A100-87", "A100-88", "A100-89", "A100-90", "A100-91", "A100-92", "A100-93", "A100-94", "A100-95", "A100-96", "A100-97", "A100-98", "A100-99", "A100-100".

-583-